

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

00774322 \*\*Image available\*\*

MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.: 56-094622 [JP 56094622 A]

PUBLISHED: July 31, 1981 (19810731)

INVENTOR(s): ITO HIROSHI

NAKAGAWA KOJI

APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.: 54-171699 [JP 79171699]

FILED: December 27, 1979 (19791227)

INTL CLASS: [3] H01L-021/208; H01L-021/263; H01L-021/86; H01L-029/78

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097  
(ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 79, Vol. 05, No. 167, Pg. 15, October  
24, 1981 (19811024)

**ABSTRACT**

PURPOSE: To obtain a desired element by forming an amorphous semiconductor film on a prescribed substrate and by heating the same selectively by application of a laser beam to convert it into crystalline structure.

CONSTITUTION: An Si substrate is provided in opposition to a silica glass substrate 1, PH<sub>3</sub> is added into Ar, and a nearly-insulated amorphous Si film 2 containing P is prepared by the glow discharge of SiH<sub>4</sub> generated by application of high-frequency electric power. Then, a metallic mask 3 being given to the film, the Ar-ion laser beam is applied thereto selectively, whereby it is heated and converted into a single crystal 4.

When the desired element is formed on the film 4, the amorphous Si film 2 is left as an element separating layer. By this constitution, a glass plate is sufficient for the device, with no expensive substrate such as sapphire in SOS being required, and thus the cost for the device can be reduced.

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

3468316

Basic Patent (No,Kind,Date): JP 56094622 A2 810731 <No. of Patents: 001>

MANUFACTURE OF SEMICONDUCTOR DEVICE (English)

Patent Assignee: TOKYO SHIBAURA ELECTRIC CO

Author (Inventor): ITOU HIROSHI; NAKAGAWA KOUJI

IPC: \*H01L-021/208; H01L-021/263; H01L-021/86; H01L-029/78

JAPIO Reference No: \*050167E000015;

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 56094622	A2	810731	JP 79171699	A	791227 (BASIC)

Priority Data (No,Kind,Date):

JP 79171699 A 791227

⑯ 日本国特許庁 (JP)

⑮ 特許出願公開

⑰ 公開特許公報 (A)

昭56-94622

⑯ Int. Cl.<sup>3</sup>  
H 01 L 21/208  
21/263  
21/86  
29/78

識別記号

府内整理番号  
7739-5F  
6851-5F  
7739-5F  
6603-5F

⑯ 公開 昭和56年(1981)7月31日  
発明の数 1  
審査請求 未請求

(全 3 頁)

⑯ 半導体装置の製造方法

⑰ 特 願 昭54-171699

⑰ 出 願 昭54(1979)12月27日

⑰ 発明者 伊東宏

川崎市幸区小向東芝町1番地東  
京芝浦電気株式会社総合研究所  
内

⑰ 発明者 中川公史

川崎市幸区小向東芝町1番地東  
京芝浦電気株式会社総合研究所  
内

⑰ 出願人 東京芝浦電気株式会社

川崎市幸区堀川町72番地

⑰ 代理人 弁理士 鈴江武彦 外2名

明細書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 所定の基板上に非晶質半導体膜を形成し、この非晶質半導体膜の所定箇所を選択的に加熱して結晶質半導体膜に変換し、この結晶質半導体膜に所望の電子を形成することを構成とする半導体装置の製造方法。

(2) 非晶質半導体膜の所定箇所の選択的加熱をレーザビーム照射により行う特許請求の範囲第1項記載の半導体装置の製造方法。

(3) 非晶質半導体膜の選択箇所を結晶質半導体膜に変換し、その周辺の非晶質半導体膜をそのまま電子分離層として残して複数の電子を供給する特許請求の範囲第1項記載の半導体装置の製造方法。

3. 発明の詳細な説明

この発明は、非晶質半導体膜の一部を選択的に結晶質半導体膜に変換して所望の電子を形成

する半導体装置の製造方法に関する。

従来より、半導体基板上に単結晶半導体膜を形成させて、この単結晶半導体膜を用いて素子回路を構成する方法が SOS (Silicon on Sapphire) 技術として知られている。この方法では一例のサファイア基板上に例えばシリコンランジスタ等を埋めな素子分離を行つて構成することができるが、(1) サファイア基板は片面であり、反対側の素子分離が困難となる、(2) サファイアとシリコンの片子分離の埋めにより大きい面積が良質な埋め込みシリコン膜を形成させることができなく、特性的に大きな素子分離が困難であることが大きい。半導体装置は通常片面に形成させたシリコン膜を島状にエッチングすることによって構成するものである。この欠点がある。

この発明は、安価なセラミック基板を用いて、比較的簡単な工程で特性的に優れた素子回路を実現することを可能とした半導体装置の製造方法を提供するものである。

この発明は、所定の基板上にまず非晶質半導

体膜の所定箇所を選択的に加熱して結晶質半導体膜に変換して、この結晶質半導体膜に所望の電子を形成することを前段としている。

例えば非晶質シリコン膜の種々の方法で形成されるか、その形成条件を過ぶことにより、比抵抗  $10^{12}$  メートル以上的良好な熱導体として用いられ、そしてこの非晶質シリコン膜は約 670 °C 以上に加熱すると結晶化して非晶質シリコンとなることなどが既に知られている。また被膜、被覆石英ガラス基板の表面を適当地加工して非晶質シリコン膜を形成し、これを加熱することにより、非晶質シリコンが吸収度 100 メートルの半結晶粒子に変換することが報告されている (Appl. Phys. Letters, Vol. 35, p. 71, 1979)。この説明ではこれらの技術を応用して、例えばガラス基板上に非晶質シリコン膜を形成した後、その電子形成領域のみを選択的に加熱して結晶化して、ここに電子を形成しようとするものである。

以下この説明の実施例を説明する。第 1 図～

- 3 -

ムを選択的に照射走査して、非晶質シリコン膜との MOS ドラフト形成箇所を加熱して半結晶シリコン膜に変換する。レーザビームの走査周波はマスク 3 によらず、例えばレーザ線の前にケルブランズを利用したシヤンタにより遮断してもよい。被られた半結晶シリコン膜はほぼ同一の半結晶粒子よりなる改めて良質なものである。こうして形成された半結晶シリコン膜にて、通常の MOS 技術として用いられている半導体の半結晶シリコン膜を形成する。すなはち、図 1 図に示すように、イオン注入法によりソース電極 1, ドレイン電極 2 およびチャネルドーピング 3 を形成し、ゲート誘導膜 5 を設す、ソース電極 1, ドレイン電極 2 およびゲート電極 5 を走査して完成する。

図では便宜上、1 個の MOS ドラフトのみ示したが、複数する領域にも同様の MOS ドラフトを複数の他の優等の電子を形成して柵膜回路を構成する。即ち、半結晶化されない高比抵抗の非晶質シリコン膜がそのまま電子分離層として残ることとなる。

- 5 -

第 4 図は MOS 柵膜回路に適用した実施例の 1 例の MOS ドラフト部分の概要上柵膜回路である。まず第 1 図に示すように、石英ガラス基板 1 を用い、その表面にクロム膜を形成し、ホトレジスト付着、エッチングを行つてクロムマスクを形成して基板エッチングを行い、厚さ 3.8 クロ、膜厚 1000 Å の柵を形成する。次にこのガラス基板 1 の表面に SiH<sub>4</sub> のグロー放電分解により出力 2 ワット以下に厚さ 1 ～ 2 クロの非晶質シリコン膜 2 を形成する。具体的には、例えばガラス基板 1 に対向するターゲットガラス基板 4 用い、Ar ガス中には SiH<sub>4</sub> (あるいは PH<sub>3</sub>) を相当量添加して高導電率を印加して、SiH<sub>4</sub> のグロー放電分解により、比抵抗  $10^{12}$  メートル以上で (あるいは P) が  $10^{-6} \sim 10^{-7}$  メートル<sup>3</sup> 含まれた半結晶である非晶質シリコン膜 2 を形成する。この技術 3 図に示すように、例えば金蒸着マスク 3 を用い、Ar イオンレーザ (出力 10 W、繰返しパルス周波数 1 KHz) によりレーザビーム

- 4 -

この方法によれば、柵膜は半結晶膜をつくるためのものであるから、SiO<sub>2</sub> におけるサファイアのような高純度半結晶的基板である必要がなく、上述のようなガラス基板で十分であり、かつて半導体柵を安価に形成することができる。また図 1 では半結晶粒子の不純物による欠陥発生があり、特に大面積になるとその影響が大きく良好な柵膜の導電率を保つことが難しいが、この方法では非晶質膜のうち電子形成を行うは小面積のみを走査的に加熱して半結晶化するなり、とくに一の結晶粒子からなる良質の柵膜が得られ、従つて柵膜の特性もそれだけがやられる。更に、この方法では、基板上につけた半結晶膜は、手じめ高比抵抗に形成してからことにより柵膜エッチング上柵は必要がなく、電子源の周波数でのまま電子分離層として残すことができ、しかもこれにより柵膜が平坦なものとなるから柵膜強化につけて有利である。

なお、実施例では非晶質シリコン膜を SiH<sub>4</sub>

- 80 -

- 6 -

ル膜板、5…ゲート酸化膜、6<sub>1</sub>…ソース電極、  
6<sub>2</sub>…ドレイン電極、6<sub>3</sub>…ゲート電極。

のグロー放電分解により形成したが、その他スパッタリングや不活性ガス(N<sub>2</sub>, Ar等)中での化学蒸着法を利用してもよい、また非晶質膜を選択的に加熱する手段としてレーザビーム照射を用いたが、電子ビーム照射等他の方法を用いることもできる。更に、MOSデバイスそのものの製造方法や各板その他の材料は任意に選択できることは勿論、この発明はバイポーラデバイスにも同様に適用することができる。

以上のようにこの発明によれば、非晶質半導体膜を出発材料として選択的に加熱して所定箇所を結晶化してここに原子を形成することにより、各種半導体装置の特性向上とコストダウンを図ることができる。

#### 4. 図面の簡単な説明

第1図～第4図はこの発明の一実施例の製造工程断面図である。

1…石英ガラス基板、2…非晶質シリコン膜、  
3…マスク、4…半結晶シリコン膜、6<sub>1</sub>…ソース極板、6<sub>2</sub>…ドレイン極板、6<sub>3</sub>…ゲート電極

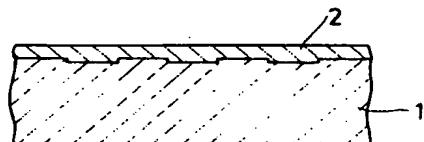
- 7 -

- 8 -

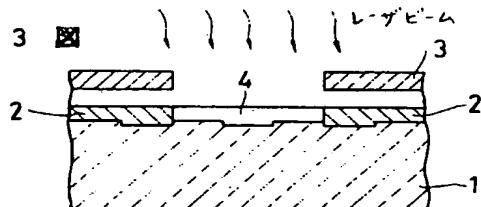
第1図



第2図



第3図



第4図

